

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-36006

(P2001-36006A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl.⁷

H 0 1 L 27/04

21/822

識別記号

F I

H 0 1 L 27/04

テーマコード(参考)

H 5 F 0 3 8

審査請求 有 請求項の数12 O L (全 7 頁)

(21) 出願番号

特願平11-204819

(22) 出願日

平成11年7月19日 (1999.7.19)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 森下 泰之

東京都港区芝五丁目7番1号 日本電気株

式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5F038 AV05 AV06 BB05 BH13 CA05

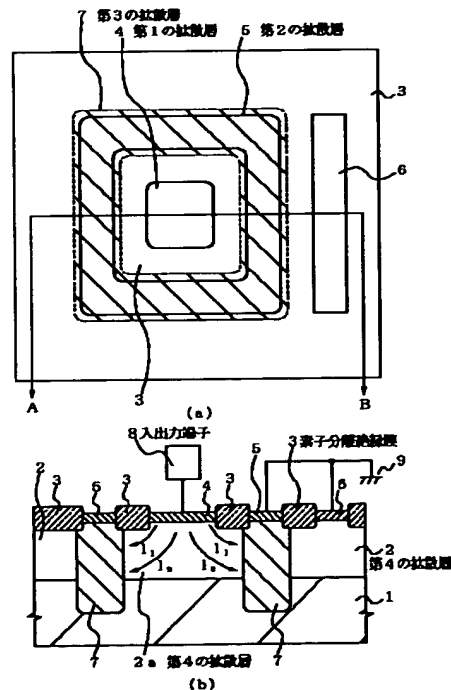
EZ20

(54) 【発明の名称】 半導体集積回路の入出力保護装置

(57) 【要約】

【課題】 静電気等の過電圧、過電流パルスに対する応答が速い、ラテラルバイポーラ型の入出力保護装置を提供する。

【解決手段】 半導体基板の一導電型領域（第4の拡散層）に、入出力端子に接続された逆導電型の第1の拡散層が形成され、一定電位の電極配線に接続された逆導電型の第2の拡散層が形成されている。そして、この第2の拡散層の底部に逆導電型の第3の拡散層が第2の拡散層と接続して形成され、上記第1の拡散層が上記第3の拡散層で環状に囲われている。ここで、上記の入出力端子に高電圧が印加される場合に、上記第1の拡散層をコレクタとし、第2の拡散層と第3の拡散層をエミッタとし、上記一導電型領域あるいは第4の拡散層をベースとしてラテラル型バイポーラトランジスタが起動するようになっている。



【特許請求の範囲】

【請求項1】 半導体基板の一導電型領域に形成され且つ入出力端子に接続された逆導電型の第1の拡散層と、一定電位の電極配線に接続された逆導電型の第2の拡散層とを有し、前記第2の拡散層の底部に逆導電型の第3の拡散層が前記第2の拡散層と接続して形成され、前記第1の拡散層が前記第2の拡散層および第3の拡散層で環状に囲われていることを特徴とする半導体集積回路の入出力保護装置。

【請求項2】 前記半導体基板の一導電型領域が前記半導体基板より高濃度の不純物を有する第4の拡散層でもって形成されていることを特徴とする請求項1記載の半導体集積回路の入出力保護装置。

【請求項3】 前記第4の拡散層の不純物濃度は、前記半導体基板の表面から内部に向かって単調に低減していることを特徴とする請求項2記載の半導体集積回路の入出力保護装置。

【請求項4】 前記第3の拡散層の深さが前記第4の拡散層の深さ以上になっていることを特徴とする請求項2または請求項3記載の半導体集積回路の入出力保護装置。

【請求項5】 前記第1の拡散層をコレクタとし、前記第2の拡散層と第3の拡散層をエミッタとし、前記一導電型領域あるいは前記第4の拡散層をベースとしてラテラル型バイポーラトランジスタが作動することを特徴とする請求項1から請求項4のうち1つの請求項に記載の半導体集積回路の入出力保護装置。

【請求項6】 前記第1の拡散層と第2の拡散層とが、半導体基板表面の素子分離絶縁膜を介して互いに分離されていることを特徴とする請求項1から請求項5のうち1つの請求項に記載の半導体集積回路の入出力保護装置。

【請求項7】 前記第1の拡散層と第2の拡散層とが、半導体基板表面に設けられたゲート電極を挟んで形成されていることを特徴とする請求項1から請求項5のうち1つの請求項に記載の半導体集積回路の入出力保護装置。

【請求項8】 前記素子分離絶縁膜あるいは前記ゲート電極が円形状に形成されていることを特徴とする請求項6または請求項7記載の半導体集積回路の入出力保護装置。

【請求項9】 前記ゲート電極が半導体集積内部回路の信号配線に接続されていることを特徴とする請求項7または請求項8記載の半導体集積回路の入出力保護装置。

【請求項10】 前記ゲート電極が一定電位に固定されていることを特徴とする請求項7または請求項8記載の半導体集積回路の入出力保護装置。

【請求項11】 前記一導電型がP型であり前記逆導電型がN型であり、前記一定電位が接地電位であることを特徴とする請求項1から請求項10のうち1つの請求項

に記載の半導体集積回路の入出力保護装置。

【請求項12】 前記一導電型がN型であり前記逆導電型がP型であり、前記一定電位が電源電位であることを特徴とする請求項1から請求項10のうち1つの請求項に記載の半導体集積回路の入出力保護装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路の入出力保護装置に関する。

【0002】

【従来の技術】従来、半導体集積回路の入出力保護装置は一般に、半導体集積回路を構成するCMOSTランジスタの微細化に伴い、静電気保護が困難になってきている。これは、CMOSTランジスタの微細化に伴いゲート酸化膜の薄膜化が進むと、ゲート酸化膜耐圧が低下するためである。また、近年、トランジスタの拡散層を金属シリサイド化することにより、寄生抵抗の低減が図られているが、この金属シリサイド化についても、集積回路の静電気耐性を劣化させる要因となってきている。

【0003】従来のCMOSで構成される半導体集積回路の入出力保護装置として、寄生ラテラル型バイポーラトランジスタが用いられる。このような技術にはこれまで種々のものが提案されている。そのような技術として、例えば、特開平8-51188号公報、特開平7-122715号公報に記載されているものがある。

【0004】従来の寄生ラテラル型バイポーラトランジスタで構成される入出力保護装置の代表的例を図5に基づいて説明する。図5(a)はその模式的な平面図であり、図5(b)は図5(a)に記すX-Y方向での断面図となっている。図5(b)に示すように、例えば導電型がP型のシリコン基板101表面にP型ウェル層102が形成されている。そして、図5(a)および図5(b)に示すように、P型ウェル層102の表面に選択的に素子分離絶縁膜103が形成されている。

【0005】そして、P型ウェル層102表面に、導電型がN型の第1の拡散層104が形成され、別の領域に導電型がN型の第2の拡散層105が形成されている。さらに、導電型がP型の取出し用拡散層106が形成されている。ここで、上記第1の拡散層104あるいは第2の拡散層105は、CMOSTランジスタのソース・ドレイン領域の拡散層の形成と同一の工程で形成されるものである。

【0006】上記のような構造において、第1の拡散層に入出力端子107が接続される。そして、第2の拡散層105と取出し用拡散層106は接地端子108に接続される。

【0007】この入出力保護の構成において、入出力端子107に正極高電圧パルスが印加されると、第1の拡散層104とP型ウェル層102の接合部でアバランシェブレークダウンが起こり、入出力端子107から取出

し用拡散層106へと降伏電流が流れる。そして、この降伏電流によりP型ウェル層102の電位が局所的に上昇し、上記第1の拡散層104をコレクタとし、第2の拡散層105をエミッタとし、P型ウェル層102をベースとするラテラル型バイポーラトランジスタが作動するようになる。このような寄生バイポーラトランジスタ動作により、入出力端子107にかかる静電気帯電によるような過電荷は、エミッタとなる第2の拡散層を通して接地端子に放電されるようになる。

【0008】

【発明が解決しようとする課題】先述したように、半導体集積回路は高集積化と共に高速化されていく。このために、半導体集積回路を構成する個々の半導体素子はますます微細化され高密度化される。一般に、このように半導体素子が微細化されると、静電気放電(Electrostatic Discharge: ESD)による半導体装置の不良発生が多発するようになる。

【0009】上述した寄生のラテラル型のバイポーラトランジスタは、立ち上がりが速い正極高電圧パルスに回答できず、保護素子が機能する前に、内部回路のゲート酸化膜破壊が生じやすくなる。特に半導体集積回路の微細化に伴って、内部回路のゲート酸化膜厚はますます薄くなるため、さらに破壊され易くなる。

【0010】従来の上述したラテラル型バイポーラ入出力保護装置では、アバランシェブレイクダウン後の降伏電流は、P型のシリコン基板101より低抵抗であるP型ウェル層102領域を流れるため、バイポーラのベースに相当するP型ウェル層102の電位が上昇し難く、入出力保護装置の応答を速くできないという問題があった。

【0011】本発明の目的は、静電気等の過電圧、過電流パルスに対する応答が速い、ラテラルバイポーラ型入出力保護装置を提供することにある。

【0012】

【課題を解決するための手段】このために本発明の半導体集積回路の入出力保護装置は、半導体基板の一導電型領域に形成され且つ入出力端子に接続された逆導電型の第1の拡散層と、一定電位の電極配線に接続された逆導電型の第2の拡散層とを有し、前記第2の拡散層の底部に逆導電型の第3の拡散層が前記第2の拡散層と接続するように形成され、前記第1の拡散層が前記第2の拡散層および第3の拡散層で環状に囲われている。

【0013】そして、前記半導体基板の一導電型領域は前記半導体基板より高濃度の不純物を有する第4の拡散層をもって形成されている。ここで、前記第4の拡散層の不純物濃度は、前記半導体基板の表面から内部に向かって単調に低減している。そして、前記第3の拡散層の深さは、前記第4の拡散層の深さと同じかそれ以上となっている。

【0014】そして、前記入出力端子に高電圧が印加さ

れる場合に、前記第1の拡散層をコレクタとし、前記第2の拡散層と第3の拡散層をエミッタとし、前記一導電型領域あるいは前記第4の拡散層をベースとしてラテラル型バイポーラトランジスタが作動するようになる。

【0015】また、本発明の半導体集積回路の入出力保護装置では、前記第1の拡散層と第2の拡散層とが、半導体基板表面の素子分離絶縁膜を介して互いに分離している。あるいは、前記第1の拡散層と第2の拡散層とは、半導体基板表面に設けられたゲート電極を挟んで形成されている。ここで、前記素子分離絶縁膜あるいはゲート電極は円形状になるように形成される。

【0016】そして、前記ゲート電極は半導体集積内部回路の信号配線に接続されている。あるいは、前記ゲート電極は一定電位に固定されている。

【0017】上記の半導体集積回路の入出力保護装置では、前記一導電型はP型であり前記逆導電型はN型であり前記一定電位が接地電位となっている。あるいは、逆に前記一導電型がN型であり前記逆導電型がP型であり、前記一定電位は電源電位となっている。

【0018】このように、本発明の半導体集積回路の入出力保護装置では、寄生ラテラル型バイポーラトランジスタのコレクタ領域となる第1の拡散層が深い拡散層である第3の拡散層で環状に囲まれている。このために、第1の拡散層と一導電型領域との接合領域で生じるアバランシェブレイクダウン時の降伏電流は、上記深い第3の拡散層をもって横方向の流れるが遮られ、半導体基板の内部に深く流れ込むようになる。通常の半導体基板は、不純物濃度が低く、高抵抗になっているので、降伏電流が半導体基板の内部へ流れ込むようになると、上記半導体基板内部への電流による電位降下をもって、ベース領域となる第4の拡散層あるいは一導電型領域の電位の絶対値が上昇し易くなり、バイポーラ動作が容易に起こるようになる。従って、静電気等の過電圧、過電流パルスに対して、入出力保護装置の応答を速くすることができ、半導体集積回路が微細化されても十分な保護能力が確保されるようになる。

【0019】

【発明の実施の形態】次に、本発明の第1の実施の形態を図1と図2に基づいて説明する。図1(a)は、本発明を説明するための半導体集積回路の入出力保護の平面図であり、図1(b)は図1(a)に記すA-Bで切断した断面図である。また、図2は、寄生バイポーラトランジスタのベースとなる領域の不純物濃度分布を説明するためのグラフである。

【0020】図1(b)に示すように、従来の技術で説明したのと同様に、P導電型でその不純物濃度が 10^{15} 原子/cm³程度のシリコン基板1表面に第4の拡散層2、2aが形成されている。ここで、第4の拡散層2、2aの不純物濃度は 10^{17} 原子/cm³程度になる

ように設定される。そして、その深さは $1\mu\text{m}$ 程度である。そして、図1(a)および図1(b)に示すように、第4の拡散層2、2aの表面に選択的に素子分離絶縁膜3が形成されている。この素子分離絶縁膜3は公知のLOCOS法あるいはトレンチ素子分離法でもって形成される。

【0021】そして、第4の拡散層2、2a表面に、導電型がN型の第1の拡散層4および第2の拡散層5が形成されている。この場合に、第2の拡散層5は、図1(a)に示すように第1の拡散層4の周りを取り囲むように形成されている。そしてさらに、導電型がP型の取出し用拡散層6が形成されている。ここで、上記第1の拡散層4あるいは第2の拡散層5は、CMOSトランジスタのソース・ドレイン領域の拡散層の形成と同一の工程で形成されるものである。すなわち、その不純物濃度は 10^{20} 原子/ cm^3 程度に設定され、その深さは $0.1\mu\text{m}$ 程度である。あるいは、これらの拡散層の表面にシリサイド層が形成されていてもよい。

【0022】さらに本発明では、図1(a)および図1(b)に示すように、第3の拡散層7が、上記第2の拡散層5の領域上であって、上記第4の拡散層2、2aよりも深くなるように形成されている。ここで、第3の拡散層7の導電型は第2の拡散層5のそれと同一である。このような第3の拡散層7は、半導体装置の製造工程においてNウェル層の形成と同一の工程で形成できる。なお、図1(a)では、判り易くするためにこの第3の拡散層7の領域には斜線が施されている。

【0023】このような構造において、従来の技術で説明したのと同様に、第1の拡散層4に入出力端子8が接続される。そして、第2の拡散層5と取出し用拡散層6は接地端子9に接続される。

【0024】この入出力保護装置の構成において、入出力端子8に正極高電圧パルスが印加されると、第1の拡散層4と第4の拡散層2aの接合部でアバランシェブレークダウンが起こる。そして、上記のような本発明のような構造では、上記アバランシェブレークダウンによる降伏電流は、第1の拡散層4から縦方向に第4の拡散層2aを経てシリコン基板1へと流れ込む。これは、図1(b)に示すように第4の拡散層2aが第3の拡散層7で囲われているために、第4の拡散層を横方向に流れる降伏電流の経路が遮断されるからである。

【0025】このように、本発明での降伏電流は、シリコン基板1を経由して取出し用拡散層6へと流れ込む。このために、降伏電流の経路が長くなる。また、シリコン基板1の不純物濃度は、第4の拡散層2、2aの不純物濃度より低い。

【0026】これらのために、アバランシェブレークダウンの初期において、第4の拡散層2aの底面から取出し用拡散層6間での電圧降下が大きくなり、第4の拡散層2aの電位が速く上昇するようになる。

【0027】そして、この降伏電流により寄生のベース領域となる第4の拡散層2aの電位が速く上昇し、上記第1の拡散層4をコレクタとし、第2の拡散層5および第3の拡散層7をエミッタとするラテラル型バイポーラトランジスタが、従来の技術の場合よりも速く作動するようになる。

【0028】このような寄生バイポーラトランジスタ動作により、入出力端子8にかかる静電気帯電によるような過電荷は、エミッタとなる第3の拡散層7および第2の拡散層5を通して接地端子9に放電されるようになる。

【0029】本発明では、上述したように、ベース領域となる第4の拡散層2aが第3の拡散層7で取り囲まれている。このために、第4の拡散層2aの電位上昇が速まり、入出力端子8の過電荷のESDが迅速になされる。そして、半導体集積回路の静電保護が完全になされるようになる。

【0030】図1(b)に示すように、ラテラル型バイポーラトランジスタが作動した後の電流は I_1 経路を経てエミッタ領域である第3の拡散層7に達する。これは、単純に I_2 経路の方が I_1 経路より長くなるためである。このために、ESDが第4の拡散層2aの表面領域で生じやすくなる。そこで、このような問題を解決する手法について図2に基づいて付け加えて説明する。

【0031】図2は、第4の拡散層2aの第1の拡散層4の接合面からシリコン基板1への深さ方向の不純物濃度分布である。図2に示すように、第4の拡散層2a、2bは、その不純物濃度がシリコン基板1の方向に単調に低減するように形成される。

【0032】このように第4の拡散層2、2aが形成されると、ラテラル型バイポーラトランジスタが作動した場合のhFE(増幅率)は、 I_1 経路よりも I_2 経路の方で大きくなる。このためにESDは深さ方向に対して偏り無く、第3の拡散層7の深さ方向で均一になるように起こるようになる。このようにして、上述したESDが第4の拡散層2aの表面領域で局所的に生じる場合の高発熱による入出力保護装置の破壊は防止できるようになる。

【0033】次に、本発明の第2の実施の形態を図3に基づいて説明する。図3(a)は、本発明を説明するための半導体集積回路の入出力保護の平面図であり、図3(b)は図3(a)に記すC-Dで切断した断面図である。ここで、第1の実施の形態で説明したものと同じのものには同一の符号が記されている。

【0034】図3(b)に示すように、第1の実施の形態と同様に、P導電型のシリコン基板1表面に第4の拡散層2、2aが形成されている。そして、図3(a)および図3(b)に示すように、第4の拡散層2、2aの表面に選択的に素子分離絶縁膜3が形成されている。

【0035】そして、図3(a)および図3(b)に示すように、環(リング)形状の閉じたゲート電極10がP型ウェル2上にゲート絶縁膜を介して形成されている。また、N導電型の第1の拡散層4および第2の拡散層5が上記ゲート電極10のパターンに整合して形成されている。ここで、上記第1の拡散層4あるいは第2の拡散層5は、MOSトランジスタのソース/ドレイン領域の拡散層となるものである。

【0036】さらに、P導電型の取出し用拡散層6が形成されている。そして、図3(a)および図3(b)に示すように、第3の拡散層7aが、上記第2の拡散層5の領域上の一部であって、上記第4の拡散層2、2aよりも深くなるように形成されている。ここで、第3の拡散層7aの導電型は第2の拡散層5のそれと同一である。なお、図3(a)では、判り易くするためにこの第3の拡散層7aの領域には斜線が施されている。

【0037】このような構造において、第1の実施の形態で説明したのと同様に、第1の拡散層4に入出力端子8が接続される。そして、第2の拡散層5と取出し用拡散層6は接地端子9に接続される。

【0038】この入出力保護装置の構成において、第1の実施の形態で説明したのと同様に、正極高電圧パルスが入出力端子8に印加されると、先述したような降伏電流によりベース領域となる第4の拡散層2aの電位が速く上昇し、入出力端子8の過電荷のESDが迅速になされる。そして、半導体集積回路の静電保護が完全になされるようになる。

【0039】この第2の実施の形態では、入出力端子8が入力端子となる場合には、ゲート電極10は固定端子11に接続されている。そして、この固定端子11は接地電位となっている。逆に入出力端子8が出力端子となる場合には、ゲート電極10は半導体集積回路の内部回路へ接続される。

【0040】次に、本発明の第3の実施の形態を図4に基づいて説明する。図4は、本発明を説明するための半導体集積回路の入出力保護の平面図である。第3の実施の形態では、平面的なパターン形状が第1の実施の形態と異なる。断面の構造は第1の実施の形態で説明したものとはほぼ同じである。そこで、第1の実施の形態で説明したものと同一のものには同一の符号が記されている。

【0041】図4に示すように、第1の実施の形態と同様にして、P導電型のシリコン基板表面に第4の拡散層が形成され、第4の拡散層の表面に選択的に素子分離絶縁膜3、3aが形成されている。そして、図4に示すように、リング形状の閉じた素子分離絶縁膜3aがP型ウェル上に形成されている。また、N導電型の第1の拡散層4aおよび第2の拡散層5aが上記素子分離絶縁膜3aのパターンに整合して形成されている。

【0042】さらに、P導電型の取出し用拡散層6が形成されている。そして、第3の拡散層7bが、上記第2

の拡散層5aの領域上であって、上記第4の拡散層よりも深くなるように形成されている。ここで、第3の拡散層7bの導電型は第2の拡散層5aのそれと同一である。なお、図4では、判り易くするためにこの第3の拡散層7bの領域には斜線が施されている。

【0043】このような構造において、第1の実施の形態で説明したのと同様に、第1の拡散層4aに入出力端子が接続される。そして、第2の拡散層5aと取出し用拡散層6は接地端子に接続される。

10 【0044】この第3の実施の形態では、上述した第1の実施の形態で説明したのと同様の効果が生じる。また、この場合には、第1の拡散層4aの周辺端部が円形になるように形成されている。このために、第1の実施の形態で説明したアバランシェブレイクダウンが第1の拡散層4aの周辺で一様に起こるようになる。このようにして、ESDが第4の拡散層の表面領域で局所的に生じることがなくなり、高発熱による入出力保護装置の破壊が防止できるようになる。

20 【0045】以上の実施の形態では、導電型がP型のシリコン基板に入出力保護装置が形成される場合について説明した。本発明は、このような場合に限定されるものでなく、導電型がN型のシリコン基板の場合でも同様に適用できるものである。但し、この場合には、上記実施の形態で説明した導電型は全て逆導電型のものに換えなければならない。そして、接地端子9および固定端子11は電源端子に変えられる。この場合には、負極高電圧パルスに対して半導体素子の保護が効果的になされる。また、本発明は、上記のような入出力保護装置がP型あるいはN型のウェル内に形成される場合でも同様に適用できるものである。

30 【0046】また、上記の実施の形態では、シリコン基板より不純物濃度の高くなる第4の拡散層が形成されたが、本発明は、第4の拡散層の形成されない場合でも同様に適用できるものである。この場合には、寄生のベース領域はシリコン基板の表面領域である。

40 【0047】また、本発明では、第1の拡散層4が第3の拡散層7と深い素子分離絶縁膜とでリング形状に囲われてもよい。ここで、深い素子分離絶縁膜は上記素子分離絶縁膜3とは別種のもので、その深さは上記第3の拡散層7と同程度になる。

【0048】このような場合も、第1の拡散層と一導電型領域との接合領域で生じるアバランシェブレイクダウン時の降伏電流は、上記深い第3の拡散層と深い素子分離絶縁膜とでもって横方向の流れが遮られ、半導体基板の内部に深く流れ込むようになる。そして、上記の実施の形態の場合と同様に、ベース領域となる第4の拡散層あるいは一導電型領域の電位の絶対値が上昇し易くなり、バイポーラ動作が容易に起こるようになる。

【0049】

50 【発明の効果】以上に説明したように、本発明の半導体

集積回路の入出力保護装置では、半導体基板の一導電型領域あるいは第4の拡散層に、入出力端子に接続された逆導電型の第1の拡散層が形成され、一定電位の電極配線に接続された逆導電型の第2の拡散層が形成されている。そして、この第2の拡散層の底部に逆導電型の第3の拡散層が第2の拡散層と接続して形成され、上記第1の拡散層が前記第2の拡散層および第3の拡散層で環状に囲われている。

【0050】そして、上記の入出力端子に高電圧が印加される場合に、上記第1の拡散層をコレクタとし、第2の拡散層と第3の拡散層をエミッタとし、上記一導電型領域あるいは第4の拡散層をベースとしてラテラル型バイポーラトランジスタが起動するようになっている。このような寄生ラテラル型バイポーラトランジスタの作動をもってESDが行われる。

【0051】そして、このようなESDのために、外部から入力端子にかかる過大電圧に対し、保護装置の応答が速くなり、半導体集積回路の保護能力が大幅に向上するようになる。

【0052】また、半導体集積回路の高集積化あるいは高速化のために、半導体集積回路を構成する個々の半導体素子が微細化され高密度化されても、本発明により、ESD等による半導体装置の不良発生は容易に防止できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するための入出力保護装置の平面図と断面図である。

【図2】本発明の実施の形態を説明するための不純物濃度分布を示すグラフである。

【図3】本発明の第2の実施の形態を説明するための入出力保護装置の平面図と断面図である。

【図4】本発明の第3の実施の形態を説明するための入出力保護装置の平面図である。

【図5】従来の技術を説明するための入出力保護装置の平面図と断面図である。

【符号の説明】

- 1 シリコン基板
- 2, 2a 第4の拡散層
- 3, 3a 素子分離絶縁膜
- 4, 4a 第1の拡散層
- 5, 5a 第2の拡散層
- 6 取出し用拡散層
- 7, 7a, 7b 第3の拡散層
- 8 入出力端子
- 9 接地端子
- 10 ゲート電極
- 11 固定端子

【図2】



【図3】

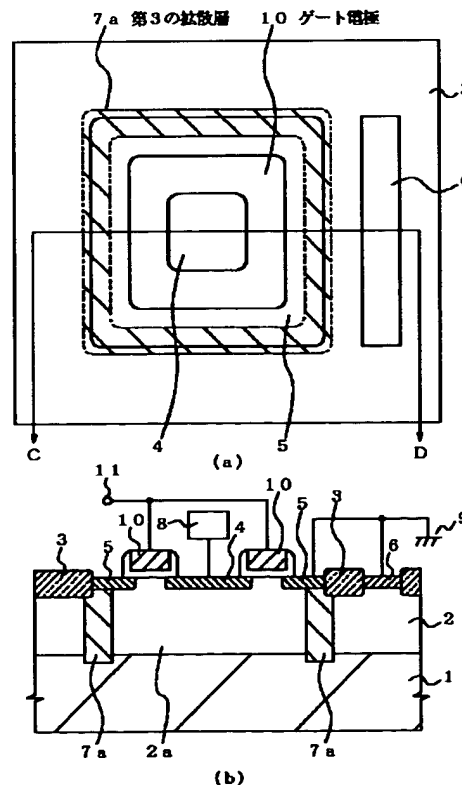


Diagram (b) is a cross-sectional view of a semiconductor device. It shows a substrate 101 with a layer 102 on top. A conductive layer 106 is formed on top of layer 102. Three circular regions 103 are formed in the conductive layer 106. A gate structure 104 is formed over the first circular region 103, and a gate structure 105 is formed over the second circular region 103. A gate structure 107 is formed over the third circular region 103. A gate structure 108 is formed over the conductive layer 106. The gate structures 104, 105, and 107 are connected to a common gate line 108, which is connected to ground.